

An English translation of the Korean Office Action

T.JH491

Date of the Office Action: 2003.09.19

Due date: 2003.11.19

Patent Office

Notification to file an Argument

Applicant: Name: Hitachi Ltd.

Address: 4-6, Surugadai-kanda, Chiyoda-ku, Tokyo, Japan

Agent: Name; Shu Seimin et al.

Address; Hanuri-bdlg. 219, Uchishido, Shoro-ku, Seoul-shi

(Kim & Chan Patent & Law Office)

Application No. 10-2001-0049729

Title of the Invention: Semiconductor Module

As the result of examination of this application, according to the following reasons for the rejection, it is notified under rule of Article 63 of the Patent Law, in the event to file counter argument or amendment is necessary, it is requested to file argument (format 25-2 of appendix, enforcement rule of the Patent Law) or/and amendment (format 5 appendix, enforcement rule of the Patent Law) by the due date (extension of the due date can be extended by one-month at each time, separate notice for allowing the extension of term will not be issued)

Reasons

In this application, the description of specification, drawings and claims is insufficient as pointed below, since the requirement defined in Article 42.3, ad 4 of the Patent Law is not satisfied, therefore, patent is not admitted.

The invention depicted in all the claims of this application is considered as easily thought of by the artisan in the art, in the field belongs to this application prior to the filing of this application, therefore, under the definition of Article 29.2 of the Patent Law patent can not be admitted.

Note

1. (English translation is omitted since the reasons of the rejection is not based on the prior art.)
2. (English translation is omitted since the reasons of the rejection is not based on the prior art.)
3. All the claims of this invention is concerned with semiconductor

module, which is characterized by "in a semiconductor module comprising wiring substrate on which wiring is formed, semiconductor apparatus electrically connected with the wiring formed on the wiring substrate through bump, external connector terminal composed of connecting portion with outside connected electrically with the wiring, and installing the semiconductor apparatus onto the wiring substrate without using underfill, wherein insulating resin layer is formed between the semiconductor chip included in the semiconductor apparatus and the bump" or "wiring substrate on which wiring is formed, semiconductor apparatus electrically connected with the wiring formed on the wiring substrate through wiring and bump, and filling material filled between the wiring substrate and the semiconductor apparatus, and the filling material is composed of material not including bulking agent". However, it is similar in its structure with Korean Patent Application laid open number 1998-25624 (laid open on 98.7.15, referred to as the cited invention, hereinafter) disclosing "semiconductor package comprising semiconductor chip (100) on which I/O pad (110) is formed, gold ball (200) electrically connected to the I/O pad, bump (320) is formed on a surface corresponding to the gold ball, printed circuit substrate (300) including copper trace (310) engaged with the bump which is electrically connected to the gold ball, solder ball land (710) at the edge of the copper trace of the printed circuit substrate, and sealing material (500) sealed for protecting solder ball (700) functioning I/O function to main board electrically fused to the solder ball and the semiconductor chip from external environment".

Accordingly, it is considered that the all the claims of this of this invention will be easily thought of by the artisan in the art according to disclosure of the cited invention.

[Appendix]

Appendix 1. One copy of Korean Patent application laid open 1998-25624

September 19, 2003

Patent Office Examination fourth division

Semiconductor First Examination Officials Examiner

Son Won Son

(Please note person name and place name is phonetically translated)

T. JH491

發送日付：2003.09.19

提出期日：2003.11.19

特許庁 意見提出通知書

出 願 人 氏 名 株式会社日立製作所
住 所 日本国東京都千代田区神田駿河台4丁目6番地

代 理 人	氏 名	朱 成 民 外1人
	住 所	ソウル市鍾路区内資洞219ハンヌリビル (金・張特許法律事務所)

出願 番号 10-2001-0049729

発明の名称 半導体モジュール

本出願に対する審査の結果、下記のような拒絶理由があるため、特許法第63条の規定に基づきこれを通知するので、意見があるか又は補正が必要な場合には、前記期日までに意見書[特許法施行規則別紙第25号の2書式]又は/及び補正書[特許法施行規則別紙第5号書式]を提出されたい(前記期日に対する延長は毎回1カ月ずつ延長することができ、別途の期間延長承認通知はしない)。

理由

本出願は明細書又は図面及び特許請求範囲の記載が下記に指摘されている通り不備であると認められ、特許法第42条第3項及び第4項の規定による要件が満たされていないので、特許を受けることができない。

本出願の特許請求の範囲全項に記載されている発明は、その出願以前にこの発明が属する技術分野において、通常の知識を有する者が下記に指摘されたことにより容易に発明できたと認められるので、特許法第29条第2項の規定により特許を受けることができない。

三

1. 発明の詳細な説明には図面の主要部分に対する説明及びその符号が一致していない場合が多数ある。例えば、

- 1) 27 頁 15 行保護膜(20)-27 頁 17 行応力緩和層(20)
- 2) 39 頁 14 行スルーホール(118)-39 頁 17 行スルーホール(18)(特許法第 42 条第 3 項)

KIM & CHANG
金・張 特許法律事務所

2. 請求項には発明の構成を不明確にする表現が記載されてはならない。ところが、特許請求の範囲第2項、第10項、第11項、第18項及び第19項には「ほぼ・・・」及び「約」のように比較の基準や程度が不明確な表現が記載されている。従って、前記指摘した各項に記載された「ほぼ・・・」又は「約」という表現は修正乃至削除してその発明の構成を明確にしなければならない(特許法第42条第4項第2号)。

3. 本願発明の特許請求の範囲の全項は半導体モジュールに関するもので、「配線が形成された配線基板と、前記配線基板に形成された配線と bumps を介して電氣的に接続された半導体装置と、前記配線と電氣的に接続された外部との接続部分からなる外部接続端子とを備え、アンダーフィルを用いずに該半導体装置を前記配線基板に実装する半導体モジュールにおいて、前記半導体装置の有する半導体チップと bumps との間に絶縁樹脂層を形成したこと」又は「配線が形成された配線基板と、前記配線基板に形成された配線と bumps を介して電氣的に接続された半導体装置と、前記配線基板と前記半導体装置との間に充填する充填材料を備え、その充填材料が充填材を含まない材料により構成されること」を特徴としているが、これは「入/出力パッド(110)が形成された半導体チップ(100)と、その入/出力パッドに電氣的に接続されたゴールドボール(200)と、前記ゴールドボールに対応する面に bumps (320) が形成され、そのゴールドボールと電氣的に接続され前記 bumps に連結された銅トレース(310)を含んで印刷回路基板(300)と、前記印刷回路基板の銅トレースの先端に溶剤ボールランド(710)が形成され、前記溶剤ボールランドに電氣的に融着されメインボードへの入/出力機能をする溶剤ボール(700)及び半導体チップなどを外部の環境から保護するために封止した封止材(500)からなる半導体パッケージ」に対して記載された韓国公開特許公報特 1998-25624 号(98.7.15 公開、以下、「引用発明」という)とその構成において類似するので、この分野にて通常の知識を有する者であれば本願発明の特許請求範囲の全項は前記引用発明によって容易に発明できたものであると認められる。

[添付]

添付 1 韓国公開特許公報 特 1998-25624 号の写し 1 部

2003年 9月 19日

特許庁

審査4局

半導体1審査担当官室 審査官

ソン ウォン ソン

20835

출력 일자: 2003/9/20

발송번호 : 9-5-2003-036248170

발송일자 : 2003.09.19

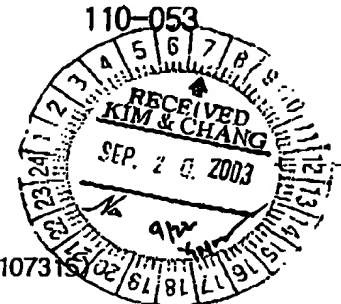
제출기일 : 2003.11.19

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

주성민 귀하

특허청 의견제출통지서



출원인

영칭 가부시키가이샤 히타치세이사쿠쇼 (출원인코드: 519987107315)

주소 일본 도쿄토 치요다쿠 간다스루가다이 4쵸메 6반치

대리인

성명 주성민 외 1 명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호

10-2001-0049729

발명의 명칭

반도체 모듈

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

[이유]

이 출원은 명세서 또는 도면 및 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제3항 및 제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 발명의 상세한 설명에는 도면의 주요 부분에 대한 설명 및 그 부호가 일치하지 않는 경우가 다수 있습니다. 예를들면,

1) 27 쪽 15행 보호막(20) - 27쪽 17행 응력완화층(20)

2) 39쪽 14행 관통구멍(118) - 39쪽 17행 관통구멍(18) (특허법 제42조제3항).

2. 청구항에는 발명의 구성을 불명확하게 하는 표현이 기재되어서는 안됩니다. 그런데 특허청구범위 제2항, 제10항, 제11항, 제18항 및 제19항에는 대략... 및 약...과 같이 비교의 기준이나 정도가 불명확한 표현이 기재되어 있습니다. 따라서 상기 지적한 항들에 기재된 "대략..." 또는 "약..."이라는 표현은 수정 내지는 삭제하여 그 발명의 구성을 명확하게 하여야 합니다 (특허법 제42조제4항제2호).

3. 본원발명의 특허청구범위 전항은 반도체 모듈에 관한 것으로서, "배선이 형성된 배선기판과, 상기 배선기판에 형성된 배선과 범프를 통해 전기적으로 접속된 반도체장치와, 상기 배선과 전기적으로 접속된 외부와의 접속부로서 이루어지는 외부접속단자를 구비하고, 언더필을 이용하지 않고서 상기 반도체장치를 상기 배선기판에 실장하는 반도체 모듈에 있어서, 상기 반도체장치가 갖는 반도체칩과 범프 사이에 절연수지층을 형성한 것" 또는 "배선이 형성된 배선기판과, 상기 배선기판에 형성된 배선과 범프를 통해 전기적으로 접속된 반도체장치와, 상기 배선기판과 상기 반도체장치 사이에 충전하는 충전재료를 구비하고, 그 충전재료가 충전재를 포함하지 않는 재료에 의해 구성되는 것"을 특징으로 하고 있으나, 이는 "입/출력패드(110)가 형성된 반도체 칩(100)과, 그 입/출력 패드에 전기적으로 접속된 골드 볼(200)과, 상기 골드 볼에 대응하는 연에 범프(320)가 형성되어 그 골드 볼과 전기적으로 접속되고 상기 범프에 연결된 카파 트레이스(310)를 포함하여 이루어진"

출력 일자: 2003/9/20

인쇄 회로 기판(300)과, 상기 인쇄 회로 기판의 카파 트레이스 끝단에 솔더 볼 랜드(710)가 형성되고, 상기 솔더 볼 랜드에 전기적으로 용착되어 메인 보드로의 입/출력 기능을 하는 솔더 볼(700) 및 반도체칩 등을 외부의 환경으로부터 보호하기 위해 봉지한 봉지체(500)로 이루어진 반도체 패키지에 대하여 기재된 한국공개특허공보 특1998-25624호(98.07.15.자 공개, 이하 "인용발명"이라 한다)과 그 구성에 있어서 유사하므로, 이 분야에서 통상의 지식을 가진 자라면 본원발명의 특허청구범위 전항은 상기 인용발명에 의하여 용이하게 발명할 수 있는 것으로 인정됩니다.

[참 부]

첨부1 한국공개특허공보 특1998-25624호 사본 1부 끝.

2003.09.19

특허청

심사4국

반도체1심사담당관실

심사관 송원선



<<안내>>

문의사항이 있으시면 ☎ 042-481-5735 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)**(12) PATENT LAID OPEN PUBLICATION (A)**

(51) Int. Cl. 6
H01L 21/60

(11) Publication No. Pat. 1998-025624
(43) Publication Date July 15, 1998

(21) Application Number No. 1996-043844
(22) Date of Application October 4, 1996

(71) Applicant ANAM Industrial Ltd. In-gil Whang
(72) Inventor Sun-ku Yi
Sung-su-dong Sung-su 2-ga 280-8
Seoul, Korea
(74) Agent Man-kyu Seo
Deung-chon 3-dong Ju-gong Apt. 902-313
Kang-seo-ku, Seoul, Korea

Request for Examination

(54) Title of the Invention **BALL GRID ARRAY SEMICONDUCTOR PACKAGE**

[ABSTRACT]

There is provided a ball grid array semiconductor package for optimizing the heat spreading effect of a semiconductor chip, which includes a semiconductor chip having an I/O pad formed thereon, a gold ball electrically connected to the I/O pad, a printed circuit board having a bump formed on the corresponding side of the gold ball to be electrically connected to the gold ball and a copper trace connected to the bump, a solder ball land formed on one end of the copper trace of the printed circuit board, a solder ball electrically fused with the solder ball land and functioning as an in/out terminal to a main board, a thermal conductive adhesive adhered on the opposite side of the semiconductor chip to the side having the gold ball attached so

as to directly discharge the heat generated from the semiconductor chip to the main board, and an encapsulation material for encapsulating the semiconductor chip except the thermal conductive adhesive portion to protect the semiconductor chip from the outer environment.

[Representative Drawing]

FIG. 2a

[SPECIFICATION]

[Brief Description of the Drawings]

FIG. 1A is a sectional view illustrating a conventional ball grid array semiconductor package.

FIG. 1B is a bottom view illustrating a conventional ball grid array semiconductor package.

FIG. 1C is a sectional view illustrating that the conventional ball grid array semiconductor package is installed on a main board.

FIG. 2A is a sectional view illustrating a ball grid array semiconductor package according to a first embodiment of the present invention.

FIG. 2B is a sectional view illustrating that a ball grid array semiconductor package according to a first embodiment of the present invention is installed on a main board.

FIG. 3A is a sectional view illustrating a ball grid array semiconductor package according to a second embodiment of the present invention.

FIG. 3B is a sectional view illustrating that a ball grid array semiconductor package according to a second embodiment of the present invention is installed on a main board.

FIG. 4A is a sectional view illustrating a ball grid array semiconductor package according to a third embodiment of the present invention.

FIG. 4B is a sectional view illustrating a ball grid array semiconductor package according to a fourth embodiment of the present invention.

<Description of Major Parts>

- 100 : semiconductor chip
- 110 : input/output pad (I/O pad)
- 200 : gold ball
- 300 : printed circuit board
- 310 : copper trace
- 320 : bump
- 400: heat spreader
- 500: encapsulation material
- 600: thermal conductive adhesive
- 700: solder ball
- 710: solder ball land
- 800: anisotropic conductive film
- 900: main board

[Detailed Description of the Invention]

[Object of the Invention]

[Field of the Invention and the Prior Art]

The present invention relates to a ball grid array semiconductor package, and in particular, to a ball grid array semiconductor package for maximizing the heat spreading effect of a semiconductor chip by discharging the heat generated from the semiconductor chip to a main board as well as to a heat spreader.

Semiconductor industries are high-tech leading industries in highly developed information societies, and the importance of the semiconductor technology becomes more increasing to influence the national competitiveness. Accordingly, the

semiconductor-related technology gets deep into our real lives and has close relations with our normal lives so that we cannot image the lives without the use of the semiconductors. The semiconductor industries, which were developed about 50 years ago, were started with an individual transistor and are currently developed to an integrated circuit, in which plural separate elements are provided on one common board. Furthermore, with the demand of the much leaner and lighter personal computer or portable phone in accordance with the miniaturization of multimedia devices, the integration of semiconductor chips becomes more increased, but its size becomes more scaled-down.

Along with the development of the semiconductor technology, a package technology has been also developed in order to protect the semiconductor chip from the outer environment, and facilitate the discharge of the heat from the semiconductor chip and the installation of the semiconductor chip on a main board. The early stages of the package technology employ metal can or ceramic material for the semiconductor chip, and the metal package or the ceramic package provide excellent heat discharge property, but the above methods need the fabrication technology taking high costs and much time.

In the meantime, with the increase of the semiconductor production, less cost and more highly-integrated package methods have been developed, and among them, the title of the Invention, "Plastic Ball Grid Array Semi-conductor Package", disclosed as the U.S. Patent, is widely known. The plastic ball grid array semiconductor package is a very good package technology in the Input/output capability and the aspect of cost, which packages a semiconductor chip with a plastic encapsulation material, epoxy molding compound (EMC), and makes the solder ball fusion-bonded on the bottom as input/output (In/out) means.

In the ball grid array semiconductor package, the in/out means is the solder ball aligned on the bottom, and so, its number of the in/out pins can be maximized more than in the package types having leads on the four square sides, and the space

of the package can be minimized since the leads are removed, and since the circuit length inside the package can be more shorten, the electrical capability can be significantly improved.

With the good price of the ball grid array semiconductor package, and the above advantages, the ball grid array semiconductor package is now the most widely used package type of a large number of semiconductor chips.

However, the conventional ball grid array semiconductor package has a problem that its property of the heat discharge is comparatively bad. The above problem may be a disadvantage, which is sufficiently serious not to be employed for newly-produced semiconductor chips using more amount of electric power and emitting significant amount of heat.

In order to improve the capability of the heat discharge of the currently-developed ball grid array semiconductor package, the packages with a heat spreader are commercially available, and FIGs. 1A and 1B are a sectional view and a bottom view of the ball grid array semiconductor package respectively, in which the conventional heat discharge capability is improved.

As shown in FIG. 1A, a semiconductor chip 100' is bonded to a heat spreader 400' with an adhesive 150', and an I/O pad 110' of the semiconductor chip 100' is connected to a printed circuit board 300' having a copper trace 310' stacked thereon by a conductive wire 170'. Further, the copper trace 310' of the printed circuit board 300' is connected to a solder ball as in/out means, and the semiconductor chip 100' is encapsulated with an encapsulation material 500' in order to protect the semiconductor chip 100' and the conductive wire 170', etc. from the outer environment.

FIG. 1B is a bottom view of the ball grid array semiconductor package. Its central region is the encapsulated region that the semiconductor chip 100' is encapsulated with the encapsulation material 500'. A plurality of solder balls 700' are two-dimensionally aligned around the encapsulated region. FIG. 1C is a

sectional view to illustrate that the ball grid array semiconductor package is installed on a main board 900'. The solder ball 700' of the ball grid array semiconductor package is fusion-installed on a predetermined region of the main board 900'.

The ball grid array semiconductor package functions to discharge the heat by adhering a heat spreader on one side of the semiconductor chip and the printed circuit board, which is significantly improved compared to the conventional ball grid array semiconductor package, but it has still problems in the aspect of heat discharge.

Firstly, since the heat spreader is adhered only on the upper side of the printed circuit board, the heat generated from the semiconductor chip is transmitted only to the heat spreader. However, since the heat spreader is formed of a metal material, and the printed circuit board is formed of a plastic, their heat expansion coefficients are different. Thus, the heat spreader and the printed circuit board are easily deflected by the thermal stress, and if it is serious, the electrical connection between the ball grid array semiconductor package and the main board is cut by the thermal stress. Further, the difference of the thermal expansion coefficients may cause the phenomenon that the interface surface of the heat spreader and the semiconductor chip is peeled off. Thus, it may cause the phenomenon that the printed circuit board and the bonded conductive wire are cut off on the I/O pad of the semiconductor chip. Actually, the heat of the semiconductor chip is discharged in a significant amount to the main board, and the main board can be seen as a heat reservoir having a large heat capacity in the semiconductor chip.

Secondly, the heat spreader should be thick enough with a sufficient surface space, but it may result in making the conventional ball grid array semiconductor package thick and large in volume. Furthermore, since the thickness of the printed circuit board is limited to a 0.6 to 1 mm, and when the thickness of the printed circuit board becomes thinner, the printed circuit board may be more easily deflected, which results in a problem that the installation of the conventional ball grid array semiconductor package on a main board becomes difficult.

Therefore, the conventional ball grid array semiconductor package cannot comply with the demands of the supply increase of the thinner and lighter package for the big markets of portable phones, portable game players, notebook computers or the like. Thus, it is required that the ball grid array semiconductor package technology be developed, with a good heat spreading capability, a lighter and thinner type, and low cost.

[Technical Task to Be Achieved by the Present Invention]

To resolve the above problems, an object of the present inventions is to provide a ball grid array semiconductor package for maximizing the heat spreading effect of a semiconductor chip by discharging the heat generated from the semiconductor chip to a main board as well as to a heat spreader.

[Construction and Operation of the Invention]

To achieve the above objects, the ball grid array semiconductor package for optimizing the heat spreading effect of a semiconductor chip is structured to include a semiconductor chip having an I/O pad formed thereon to input and output various signals, a gold ball electrically connected to the I/O pad by fusion bonding means, a printed circuit board having a bump formed on the corresponding side of the gold ball to be electrically connected to the gold ball by the fusion bonding means and a copper trace connected to the bump with extended in a radial shape, a solder ball land formed on one end of the copper trace of the printed circuit board, a solder ball electrically fused with the solder ball land and functioning as an in/out terminal to a main board, a thermal conductive adhesive adhered on the opposite side of the semiconductor chip to the side having the gold ball attached so as to directly discharge the heat generated from the semiconductor chip to the main board, and an encapsulation material for encapsulating the semiconductor chip and the ball, etc. except the thermal conductive adhesive portion to protect the semiconductor chip

from the outer environment.

In addition, a metal heat spreader and another thermal conductive adhesive are further adhered to the thermal conductive adhesive adhered in order to the heat generated from the semiconductor chip, so as to further facilitate the heat spreading effect as the object of the present invention.

Further, the fusion bonding means to electrically connect the gold ball to the I/O pad employs an anisotropic conductive film.

[Embodiment]

Description will be made on a construction and an operation of the present invention according to a preferred embodiment of the present invention in reference to the drawings.

FIG. 2A is a sectional view illustrating a ball grid array semiconductor package according to a first embodiment of the present invention.

On a semiconductor chip 100 having many circuit lines for performing various electrical functions, there is provided an input/output pad (I/O pad) 110 as passages of the electrical signals on the surface of the semiconductor chip 100. A gold ball 200 is fusion-bonded on the I/O pad 110, and the gold ball 200 is fusion-bonded on a printed circuit board 300 having a bump 320 and a copper trace 310 formed thereon.

The means for the fusion-bonding can be easily performed by a flip chip technique widely-known to those skilled in the art. Briefly describing the flip chip technique herein, the semiconductor chip 100 is turned back, and the I/O pad 110 portion of the semiconductor chip 100 is bonded (or attached) to a contacts point of mirror image of the printed circuit board 300. The pad or the bump 320 most widely used for the contacts point of mirror image employs copper (Cu) or copper/tin (Cu/Sn) alloys.

As used in the present invention, the gold ball 200, having a good electric conductivity and a small contact resistance, is widely used as bonding means

between the I/O pad 110 of the semiconductor chip 100 and the pump 320, and the bonding can be performed by locating the gold ball 200 on one side of the semiconductor chip 100 or the printed circuit board 300, and performing the bonding. In the meantime, the bonding method is widely known in many types, and among them, there are thermo-compression bonding method, ultrasonic bonding method, solder bonding method, and a bonding method using an anisotropic conductive film 800 to be described in the following.

As described, there are located the bump 320 and the copper trace 310 on the region of the printed circuit board 300 to which the gold ball 200 is bonded. The copper trace 310 is formed on the printed circuit board 300 outwardly in a radial shape. The bump 320 is provided in its number as many as the I/O pad 110 of the semiconductor chip 100, and the copper trace 310 connected to the bump 320 is stacked on the printed circuit board 300 in a long thread shape not to be electrically conducted. On the end of the copper trace 310, there is connected each of solder ball lands 710 formed on the bottom surface of the printed circuit board 300. The connection of the copper trace 310 connected to the bump 320 and the copper trace 310 formed on the bottom surface of the printed circuit board 300 can be made by penetrating through a conductive via hole (not shown), or by extending from the copper trace 310 connected to the bump 320 to the solder ball land 710 formed on the bottom along the surface of the printed circuit board 300.

The solder ball 700 as the in/out means of the signal between the semiconductor chip 100 and a main board 900 is bonded on the solder ball land 710 by a reflow method or the like. A heat spreader 400 is attached on the upper surface of the printed circuit board 300 to discharge the heat generated by the electrical mutual interaction on the semiconductor chip 100 out of the chip, and the heat spreader 400 is normally formed of copper alloys.

Further, encapsulation performed to protect the semiconductor chip 100 from the outer environment is made by using an epoxy molding compound widely used as

an encapsulation material in the semiconductor fabrication field. One side of the semiconductor chip 100, that is, its bottom is not encapsulated, and the rest of the portions are encapsulated. The method of encapsulating the semiconductor chip 100 just with its one side exposed can be widely known and easily performed by those skilled in this art.

The bottom of the semiconductor chip 100, not encapsulated, is provided with a thermal conductive adhesive 600 having the same height as the solder ball 700, and having a good thermal conductivity, and when installing the ball grid array semiconductor package on the main board 900, the heat of the semiconductor chip 100 is discharged to the main board through the thermal conductive adhesive 600.

FIG. 2B is a sectional view illustrating that a ball grid array semiconductor package according to a first embodiment of the present invention is installed on a main board. The solder ball 700 is fusion-bonded on a predetermined portion of the main board 900, and the thermal conductive adhesive 600 is bonded between one side of the semiconductor chip 100 and the main board 900, so as to directly discharge the heat generated from the semiconductor chip 100 to the main board 900 having a large heat capacity.

FIG. 3A is a sectional view illustrating a ball grid array semiconductor package according to a second embodiment of the present invention.

In order to further maximize the heat spreading effect, a heat spread 400 is adhered on the thermal conductive adhesive 600 on one side of the semiconductor chip 100, and on the surface, another thermal conductive adhesive 600 is adhered. The material of the heat spreader 400 is copper alloys, etc. having a good thermal conductivity, and its size is maximized not to be electrically conducted in contact with the solder ball 700, so as to maximize the space size being in contact with the main board 900. As such, by maximizing the space contacted with the main board 900, it provides an advantage that the heat generated from the semiconductor chip 100 should be discharged as much as possible.

FIG. 3B is a sectional view illustrating that a ball grid array semiconductor package according to a second embodiment of the present invention is installed on a main board 900. A solder ball 700 is fusion-bonded on a predetermined region of a main board 900, and a thermal conductive adhesive 600, a heat spreader 400, and a thermal conductive adhesive 600 are sequentially adhered on the bottom of the semiconductor chip 100, and directly adhered on the main board 900. It can be found that the heat generated from the semiconductor chip 100 is directly discharged to the main board 900 through the heat spreader 400 adhered to the main board 900.

FIG. 4A is a sectional view illustrating a ball grid array semiconductor package according to a third embodiment of the present invention.

As described above, the method of bonding an I/O pad 110 of a semiconductor chip 100 and a pump 320 and a copper trace 310 formed on a printed circuit board 300 is to locate a gold ball 200 between them, and use a flip chip technology. Herein, the method of bonding the gold ball 200 to the two different materials, that is, the I/O pad 110 of the semiconductor chip 100 and the bump 320 on the printed circuit board 300 typically uses thermo-compression bonding method, ultrasonic bonding method, solder bonding method. However, the above methods have disadvantages of involving the equipment to provide heat, compression, ultrasonic waves, or the like at the same time, and taking much time for the bonding.

Therefore, the employment and the easy use of an anisotropic conductive film 800 having conductive regions selectively is illustrated in FIG. 4A

A brief description on the structure and the properties of the anisotropic conductive film 800 will be made as follows.

The anisotropic conductive film 800 is made by the combination of a typical adhesive film and conductive metal grains, and the thickness of the adhesive film is about 50 μm , and the diameter of the conductive metal grain is about 5 μm . Further, the surface of the conductive metal grain is coated with a thin polymer. A heat compression is applied on a predetermined portion of the anisotropic conductive film

800 structured as above, and the portion becomes conductive since the polymer of the conductive metal grain in the portion is melted, and the rest of the portion is remained with its insulating property. The anisotropic conductive film 800 is commercially available for an outer lead bonding (OLB) or a chip on glass (COG) of tape automated bonding (TAB), and widely used.

In the case of employing the anisotropic conductive film 800 having the properties as above on the bonding means of the I/O pad 110 of the semiconductor chip 100 and the printed circuit board 300, the anisotropic conductive film 800 is first bonded on the bump 320 of the printed circuit board 300, and a pressure is applied on the semiconductor chip 100 having the gold ball 200 bonded thereon, so as to quickly and easily bond the anisotropic conductive film 800 to the bump 320 of the printed circuit board 300.

FIG. 4B is a sectional view illustrating a ball grid array semiconductor package according to a fourth embodiment of the present invention, in which the anisotropic conductive film 800 is applied. On the bottom of a semiconductor chip 100, a thermal conductive adhesive 600, a heat spread 400, and a thermal conductive adhesive 600 are sequentially bonded. An anisotropic conductive film 800 is inserted between an I/O pad 110 of the semiconductor chip 100 and a bump 320 of a printed circuit board 300, and they are bonded together.

[Effect of the Invention]

The ball grid array semiconductor package according to the present invention described as above provides an advantage of optimizing the heat spreading effect of the semiconductor chip, in that, when the ball grid array semiconductor package is installed on the main board by bonding the I/O pad of the semiconductor chip to the bump of the printed circuit board by using a flip chip technology and adhering the thermal conductive adhesive or the heat spreader on one side of the semiconductor chip, the heat from the semiconduct

or chip is directly discharged to the printed circuit board having a large heat capacity through the thermal conductive adhesive or the heat spreader.

[CLAIMS]

1. A ball grid array semiconductor package comprising:
 - a semiconductor chip having an I/O pad formed on one side thereof for input/output of various electrical signals;
 - a gold ball electrically connected to the I/O pad;
 - a printed circuit board having a bump formed on the corresponding side of the gold ball, and being electrically connected to the gold ball by fusion-bonding means, and having a copper trace connected to the bump and extended in a radial shape;
 - a solder ball land formed on one end of the copper trace of the printed circuit board;
 - a solder ball electrically fused with the solder ball land and functioning as an in/out terminal to a main board;
 - a thermal conductive adhesive adhered on the opposite side of the semiconductor chip to the side having the gold ball fusion-bonded so as to directly discharge the heat generated from the semiconductor chip to the main board; and
 - an encapsulation material for encapsulating the semiconductor chip and the gold ball, etc. except the thermal conductive adhesive portion to protect the semiconductor chip and the gold ball from the outer environment.
2. The ball grid array semiconductor package according to claim 1, wherein a heat spreader and a thermal conductive adhesive are sequentially adhered on the adhered thermal conductive adhesive to discharge the heat generated from the semiconductor chip to the main board.
3. The ball grid array semiconductor package according to claim 1 or 2, wherein the fusion-bonding for electrically bonding the gold ball on the bump of the

printed circuit board is an anisotropic conductive film.

4. The ball grid array semiconductor package according to claim 1, wherein the thermal conductive adhesive is formed not to contact with the solder ball, and sufficiently larger than the semiconductor chip.

5. The ball grid array semiconductor package according to claim 2, wherein the thermal conductive adhesive, the heat spreader, and the thermal conductive adhesive, which are sequentially adhered on the semiconductor chip, are provided not to contact with the solder ball, and sufficiently larger than the semiconductor chip.

공개특허 1998-025624

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸	(11) 공개번호	특 1998-025624
H01L 21/60	(43) 공개일자	1998년 07월 15일

(21) 출원번호	특 1996-043844
(22) 출원일자	1996년 10월 04일
(71) 출원인	아남산업 주식회사 왕인길
(72) 발명자	서울특별시 성수동 성수 2가 280-8 이선구
(74) 대리인	서울특별시 강서구 동촌 3동 주공아파트 902-313 서만규

심사청구 : 있음

(54) 볼 그리드 어레이 반도체 패키지

요약

본 발명은 볼 그리드 어레이 반도체 패키지에 관한 것으로, 입/출력패드가 형성된 반도체 칩과, 그 입/출력 패드에 전기적으로 접속된 골드 볼과, 상기 골드 볼에 대응하는 면에 범프가 형성되어 그 골드 볼과 전기적으로 접속되고 상기 범프에 연결된 카파 트레이스를 포함하여 이루어진 인쇄 회로 기판과, 상기 인쇄 회로 기판의 카파 트레이스 끝단에 솔더 볼 랜드가 형성되고, 상기 솔더 볼 랜드에 전기적으로 용착되어 메인 보드의 입/출력 기능을 하는 솔더 볼과, 상기 골드 볼이 용착된 반도체 칩의 반대면에 메인 보드로 그 반도체 칩에서 발생하는 열을 방출할 수 있도록 접착된 열전도성접착제와, 상기 열전도성접착제 부분을 제외한 반도체 칩 등을 외부의 환경으로부터 보호하기 위해 봉지한 봉지재를 포함하여 이루어져 반도체 칩의 방열 효과를 극대화시킬 수 있는 볼 그리드 어레이 반도체 패키지.

대표도

도 2a

명세서

도면의 간단한 설명

도 1A는 종래의 볼 그리드 어레이 반도체 패키지를 도시한 단면도이다.

도 1B는 종래의 볼 그리드 어레이 반도체 패키지를 나타낸 저면도이다.

도 1C는 종래의 볼 그리드 어레이 반도체 패키지가 메인 보드에 실장된 것을 나타낸 단면도이다.

도 2A는 본 발명의 제 1 실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

도 2B는 제 1 실시예에 의한 볼 그리드 어레이 반도체 패키지가 메인 보드에 실장된 것을 나타낸 단면도이다.

도 3A는 본 발명의 제 2 실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

도 3B는 제 2 실시예에 의한 볼 그리드 어레이 반도체 패키지가 메인 보드에 실장된 것을 나타낸 단면도이다.

도 4A는 본 발명의 제 3 실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

도 4B는 본 발명의 제 4 실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

도면중 주요 부분에 대한 부호의 설명

100: 반도체 칩(Semi-Conductor Chip)

110: 입/출력 패드(I/O Pad)

200: 골드 볼(Gold Ball)

300: 인쇄 회로 기판(Printed Circuit Board)

310: 카파 트레이스(Copper Trace)

320: 범프(Bump)

400: 방열판(Heat Spreader)

500: 봉지재(Encapsulation Material)

공개특허특 1998-025624

- 600: 열 전도성 접착 테이프(Therma Conductive Adhesive)
- 700: 솔더 볼(Solder Ball)
- 710: 솔더 볼 랜드(Solder Ball Land)
- 800: 이방성 전도 필름(Anisotropic Conductive Film)
- 900: 메인 보드(Main Board)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 볼 그리드 어레이 반도체 패키지에 관한 것으로, 보다 상세하게 설명하면 반도체 칩에서 발생되는 열을 방열판 뿐만 아니라 메인 보드쪽으로도 방출시켜 반도체 칩의 방열 효과를 극대화시킬 수 있는 볼 그리드 어레이 반도체 패키지에 관한 것이다.

반도체 산업은 고도의 정보화 사회를 선도하는 첨단 핵심 산업으로서 반도체 기술력이 한나라의 국가 경쟁력을 좌우 할 만큼 그 중요성이 더욱 강조되고 있다. 이에 따라 반도체 없는 일상 생활은 상상할 수 없을 정도로 실생활에 깊이 파고들어 우리의 일상생활과 밀접한 관계를 맺고 있다. 약 50년전부터 발전해 온 반도체 산업은 개별 소자인 트랜지스터에서부터 현재는 공동기판내에 다수의 개별 소자를 집적한 집적회로로 까지 발전하였다. 더구나 현재 멀티미디어 기기의 소형 경량화 추세에 맞추어 개인용 컴퓨터나 휴대용 전화등 보다 소형 경량화하고 싶다는 요구에 따라 반도체 칩의 집적도는 커지는 반면 그 크기는 점점 소형화되고 있는 추세이다.

이러한 반도체 기술의 발달과 더불어 상기 반도체 칩을 외부 환경으로부터 보호하고, 반도체 칩의 열방출을 용이하게 하며, 메인 보드에 그 실장을 용이하게 하는 패키징 기술도 발달하였다. 초기의 패키징 기술은 반도체 칩을 금속 캔이나 세라믹 재료를 이용하였는데 이러한 금속 패키징이나 세라믹 패키징은 모두 우수한 열방출 특성을 제공하지만, 상기 방법은 고가에다 시간이 많이 소비되는 제조 기술을 필요로 한다.

한편 반도체 생산량의 증대에 따라 보다 경비를 절감하고 집적도 등을 높인 패키지가 개발되었는데 이중에서 이미 미국 특허로 개시된 플라스틱 볼 그리드 어레이 반도체 패키지(Plastic Ball Grid Array Semi-Conductor Package)가 가장 잘 알려져 있다. 플라스틱 볼 그리드 어레이 반도체 패키지는 반도체 칩을 플라스틱류의 봉지제인 EMC(Epoxy Molding Compound)로 패키징하고 그 저면에 배열하여 용착시킨 솔더 볼을 입/출력 수단으로 함으로서 가격 및 입/출력 능력에 있어서 유망한 패키징 기술로 알려져 있다.

이러한 볼 그리드 어레이 반도체 패키지는 그 입/출력 수단이 저면에 배열된 솔더 볼이기 때문에 네번에 리드(Lead)를 배열한 패키지류보다 그 입/출력 핀수를 극대화할 수 있으며, 또한 리드가 제거됨으로써 패키지의 면적을 소형화 할 수 있으며 패키지 내부의 회로 길이 등이 더욱 짧아 짐으로서 전기적 성능이 더욱 향상 되는 장점이 있다.

상기 볼 그리드 어레이 반도체 패키지의 저렴한 가격과 상기 잇점에 의해 볼 그리드 어레이 반도체 패키지는 현재 많은 반도체 칩의 패키징 형식이 되고 있다.

그러나, 종래 볼 그리드 어레이 반도체 패키지는 열방출 특성이 비교적 불량한 문제점이 있다. 이는 더 많은 전력을 사용해서 상당한 열을 발생하는 새로운 세대의 반도체 칩에는 사용하기 곤란하다는 것이다.

최근의 개발에서는 상기한 볼 그리드 어레이 반도체 패키지의 열방출 능력을 높이기 위해 방열판을 포함한 패키지가 출시되고 있는데, 도 1A 및 도 1B는 종래의 방열능력을 향상시킨 볼 그리드 어레이 반도체 패키지를 나타낸 단면도 및 저면도이다.

도 1A에 도시된 바와 같이 반도체 칩(100')은 방열판(400')에 접착제(150')로 접착되어 있으며 카파 트레이스(310')가 적층된 인쇄 회로 기판(300')에 상기 반도체 칩(100')의 입/출력 패드(110')가 전도성 와이어(170')로 연결되어 있다. 또한 상기 인쇄 회로 기판(300')의 카파 트레이스(310')는 솔더 풀이라 불리는 입/출력 수단에 연결되어 있으며 상기 반도체 칩(100')과 전도성 와이어(170') 등을 외부의 환경으로부터 보호하기 위해 봉지제(500')로 봉지된 형태를 하고 있다.

도 1B는 상기 볼 그리드 어레이 반도체 패키지의 저면을 나타낸 저면도로서 중앙부에 반도체 칩(100')을 봉지제(500')로 봉지한 영역이 형성되어 있으며, 상기 봉지한 영역 주변으로 다수의 솔더 볼(700')이 저면에 2차원적으로 배열되어 있음을 볼 수 있다. 도 1C는 상기 볼 그리드 어레이 반도체 패키지가 메인 보드(900')에 실장된 것을 나타낸 단면도로서 그 볼 그리드 어레이 반도체 패키지의 솔더 볼(700')이 메인 보드(900')의 소정 영역에 용착되어 실장된다.

이러한 볼 그리드 어레이 반도체 패키지는 반도체 칩 및 인쇄 회로 기판의 한면에 방열판을 접착함으로써 열방출이라는 점에서는 종래 볼 그리드 어레이 반도체 패키지에 비해 상당히 개량된 것이지만, 여전히 열방출이라는 점에서 다음과 같은 몇가지 문제점을 가지고 있다.

첫째 방열판이 인쇄 회로 기판의 상면에만 접착 됨으로서 반도체 칩에서 발생된 열이 상기 방열판으로만 전도된다. 그러나 상기 방열판은 금속재이고, 인쇄 회로 기판은 플라스틱류이기 때문에 그 열팽창계수는 확연히 다르다. 따라서 상기 방열판과 인쇄 회로 기판은 열팽창스트레스에 의해 서로 휘어져버리기 쉽고 상하면 볼 그리드 어레이 반도체 패키지와 메인 보드 사이의 전기적 접속이 열적 피로에 의해 끊어진다.

공개특허특.1998-025624

다. 또한 상기 열팽창 계수의 차이는 상기 방열판과 반도체 칩 사이의 계면이 박리되는 현상을 불러 일으키며 이로써 상기 인쇄 회로 기판과 본딩된 전도성 와이어가 반도체 칩의 입/출력 패드에서 끊기는 현상도 발생한다. 실제로 상기 반도체 칩의 열은 메인 보드쪽으로도 상당한 양이 방출되는데 반도체 칩의 입장에서 상기 메인 보드는 대단히 큰 열용량을 가진 히트레저버(Heat Reservoir)로 볼 수 있는 것이다.

특히로 상기 방열판이 열발출에 대해 충분한 표면적을 확보해야 함으로서 비교적 두꺼워야 하는데 이렇게 되면 종래의 볼 그리드 어레이 반도체 패키지는 무겁고 부피가 큰 패키지가 되는 것이다. 더욱이 상기 인쇄 회로 기판의 두께는 0.6~1.0mm에 제한된 크기일 가정으로 인쇄 회로 기판의 두께가 더 얇아질 경우 뒤층리가 섞여 종래 볼 그리드 어레이 반도체 패키지를 메인 보드에 실장하기가 매우 곤란해지는 문제점이 있는 것이다.

이러한 종래 플러그인 어레이 반도체 패키지의 열방출 능력, 종량 및 두께는 현재의 수많은 무선 전화기, 휴대용 게임기, 노트북 컴퓨터등의 시장에서 제기되고 있는 더 얇고 가벼운 패키지에 대한 수요의 증가에 부응할 수 없는 것이 현실이며, 따라서 열방출 능력이 뛰어나며 소형 경량이고 또한 저가의 플러그인 어레이 반도체 패키지를 생산하는 기술이 개발되어야 한다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 반도체 칩에서 발생하는 열을 방열판 뿐만 아니라 메인 보드 쪽으로도 방출시켜 방열 효과를 극대화 시킬 수 있는 풀 그리드 어레이 반도체 패키지를 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 록 그리드 어레이 반도체 패키지의 구성은, 일면에 입/출력 패드가 형성되어 각종 전기 신호를 입/출력 하는 반도체 칩과, 상기 입/출력 패드에 융착 수단에 의해 전기적 접속된 골드 볼과, 상기 골드 볼에 대응하는 면에 범프가 형성되어 융착 수단에 의해 그 골드 볼과 전기적으로 접속되고 상기 범프에 연결되어 방사상으로 뻗은 카파 트레이스를 포함하여 이루어진 인쇄 회로 기판과, 상기 인쇄 회로 기판의 카파 트레이스 끝단에 슬더 볼 랜드가 형성되고, 상기 슬더 볼 랜드에 전기적으로 융착되어 메인 보드로 입/출력 단자기능을 하는 슬더 볼과, 상기 골드 볼이 융착된 반도체 칩의 반대면에 메인 보드로 반도체 칩에서 발생하는 열을 방출할 수 있도록 접착된 열전도성 접착 테이프와, 상기 열 전도성 접착 테이프 주변을 제외한 반도체 칩과 슬더 볼 둘둘 외부의 환경으로부터 보호하기 위해 봉지한 봉지재를 포함하여 이루어진 것을 그 구성상의 특징으로 한다.

여기서, 상기 메인 보드로 반도체 칩에서 발생하는 열을 방출할 수 있도록 절착된 절연층 전극 전착층 전극 테이퍼 상에는 금속성의 방열판과 열 전도성 접착 테이프를 차례로 더 절착하여 본 발명의 반도체 칩을 장착할 수 있다.

또한, 상기 인/출력 패드에 랩드 볼을 전기적으로 접속하는 장착 수단은 이방성 전도 필름을 이용하여 랩드 볼의 복직을 방지할 수 있다.

이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명에 의한 풀 그리드 어레이 반도체 패키지를 용이하게 실시 할수 있을 정도로 본 발명의 가장 바람직한 실시예에 따른 구성 및 작용을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 2A는 본 발명의 제 1 실시예인 본 그리드 어레이 반도체 패키지를 나타낸 것이다.

각종 전기적 기능은 수행하기 위해 수많은 회로소자가 적층된 반도체 칩(100)에는 그 전기적 신호의 입/출력 경로인 입/출력 패드(110)가 반도체 칩(100)의 표면에 형성되어 있고, 상기 입/출력 패드(110)에는 골드 볼(200)이 용착되어 있으며, 상기 골드 볼(200)은 범프(320), 카파 트레이스(310) 등이 형성된 인쇄 회로 기판(300)에 용착되어 있음을 볼 수 있다.

상기한 용착 수단은 플립칩 기술(Flip Chip Technique)로 널리 주지된 방법에 의해 당업자에 의해 용이하게 실시될 수 있다. 여기서 상기 플립칩 기술은 간단히 설명하면, 반도체 칩(100)을 뒤집어서 상기 반도체 칩(100)의 입/출력 패드(110) 부분을 인쇄 회로 기판(300)의 미러 이미지 접촉점(Contact Point of Mirror Image)에 본딩(Bonding 또는 Attaching)이력도 램)시키는 것이다. 상기 미러 이미지 접촉점으로 가장 많이 이용되는 패드(Pad) 또는 범프(Bump)는 구리(Cu) 또는 구리/주석(Cu/Sn)의 합금도체를 많이 사용한다.

여기서 본 발명에 이용된 것과 같이 주로 전기 전도성이 양호하고 접촉 저항이 작은 골드 볼(200)이 상기 반도체 칩(100)의 임/출력 패드(110)와 펄프(320) 사이에 접촉수단으로서 많이 이용되며 애초에 상기 반도체 칩(100) 또는 인쇄 회로 기판(300) 중 한면에 상기 골드 볼(200)을 위치시켜 놓고 본딩을 실시할 수 있다. 한편 상기 본딩 방법은 여러가지 기술이 알려져 있으며 대표적으로 열압착 본딩(Thermocompression Bonding) 방법, 초음파 본딩(Ultrasonic Bonding) 방법, 솔더 본딩(Solder Bonding) 방법과 다음에 기술할 이방성 전도 필름(800)(ACF: Anisotropic Conductive Film)을 이용한 본딩 방법이 있다.

전술한 바와 같이, 상기 골드 붓(200)에 본딩되는 인쇄 회로 기판(300)의 영역에는 범프(320) 및 카파 트레이스(310)가 위치되어 있으며 다시 상기 카파 트레이스(310)는 인쇄 회로 기판(300)의 외측으로 방사상 뿔어 형성되어 있다. 상기 범프(320)는 반도체 칩(100)의 입/출력 패드(110) 갯수만큼 형성되어 있으며, 상기 범프(320)에 연결된 카파 트레이스(310)는 서로 전기적으로 도통하지 않도록 긴 실모양으로 인쇄 회로 기판(300)에 적층되어 있고, 그 끝단에는 인쇄 회로 기판(300)의 하단면에 형성된 각각의 슬더 붓 랜드(710)에 연결되어 있다. 여기서 상기 범프(320)에 연결된 카파 트레이스(310)와 인쇄 회로 기판(300)의 하단면에 형성된 카파 트레이스(310)의 연결수단을 전도성비아홀(Conductive Via Hole; 도면에 도시되지 않음)을 통해서 상호 연결 시킬 수도 있고, 상기 범프(320)에 연결된 카파 트레이스(310)에서부터 인쇄 회로 기판(300)의 표면을 따라 하단면에 형성된 슬더 붓 랜드(710)까지 연

공개특허 1998-025624

장하여 형성할 수도 있는 것이다.

상기 솔더 볼랜드(710)에는 반도체 칩(100)과 메인 보드(900)간의 신호 입/출력 수단인 솔더 볼(700)이 리플로우(Reflow) 등의 방법으로 용착되어 있고, 상기 인쇄 회로 기판(300)의 상면에는 반도체 칩(100)에서 전기적 상호 작용에 의해 발생하는 열을 외부로 방출하기 위해 방열판(400)이 접착되어 있으며 이러한 방열판(400)의 재료는 보통 구리합금 물질을 사용한다.

또한 상기 반도체 칩(100)을 외부 환경으로부터 보호하기 위해 실시하는 봉지는 반도체 업계에서 봉지재(500)로 가장 많이 사용되는 EMC(Epoxy Molding Compound)를 사용하여 실시하여 이때 상기 반도체 칩(100)의 일면 즉, 그 하단면은 봉지하지 않고 나머지 부분들만을 봉지하였다. 여기서 상기 반도체 칩(100)의 일면을 노출시킨채 봉지하는 방법은 널리 주지된 사실로 당업자가 용이하게 실시할 수 있을 것이다

상기 봉지되지 않은 반도체 칩(100)의 하단면은 솔더 볼(700) 높이로 열전도성이 아주 양호한 열 전도성 접착 테이프(600)를 붙임으로서 메인 보드(900)에 상기 볼 그리드 어레이 반도체 패키지를 실장해서 사용할 때 상기 열 전도성 접착 테이프(600)를 통해 메인 보드로 반도체 칩(100)의 열이 방출 되도록 하기 위함이다.

도 2B는 상기 제 1실시예에 의한 볼 그리드 어레이 반도체 패키지가 메인 보드에 실장된 것을 나타낸 단면도로서 메인 보드(900)의 소정의 영역에 솔더 볼(700)이 용착되어 있으며 전술한 열 전도성 접착 테이프(600)는 반도체 칩(100)의 일면과 메인 보드(900) 사이에 접촉됨으로서 반도체 칩(100)에서 발생하는 열을 열용량이 대단히 큰 메인 보드(900)로 직접 방출할 수 있도록 하였다.

도 3A는 본 발명의 제 2실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

반도체 칩(100)의 일면에 열방출 효과를 더욱 극대화하기 위해 열 전도성 접착 테이프(600) 상에 방열판(400)을 접착한 후, 그 표면에 다시 열 전도성 접착 테이프(600)를 더 접착한 구조를 보이고 있다. 여기서 상기 방열판(400)의 재료는 열전도성이 우수한 구리합금 등의 재료로 하며 그 크기는 솔더 볼(700)에 접촉되어 도통되지 않을 정도로 해서 최대의 크기로 제작하여 메인 보드(900)에 접착되는 면적을 최대로 한다. 이렇게 메인 보드(900)에 접착되는 면적을 최대로 함으로서 반도체 칩(100)에서 발생하는 열을 최대한 많이 방출시킬 수 있는 잇점이 있다.

도 3B는 상기 제 2실시예에 의한 볼 그리드 어레이 반도체 패키지가 메인보드(900)에 실장된 것을 나타낸 단면도로서 메인 보드(900)의 소정의 영역에 솔더 볼(700)이 용착되어 있고, 반도체 칩(100)의 저면에 열 전도성 접착 테이프(600), 방열판(400), 열 전도성 접착 테이프(600)가 차례로 접착되어 메인 보드(900)에 직접 접착되어 있는 것을 볼 수 있으며 상기 메인 보드(900)에 접착된 방열판(400)을 통하여 반도체 칩(100)로부터의 열이 메인 보드(900)로 바로 방출될 수 있음을 알 수 있다.

도 4A는 본 발명의 제 3실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다.

여기서, 전술한 바와 같이 반도체 칩(100)의 입/출력 패드(110)와 인쇄 회로 기판(300)상에 형성되어 있는 범프(320) 및 카파 드레이스(310)를 용착하는 수단을 골드 볼(200)을 그 사이에 위치시켜 놓고 풀립 칩 기술을 사용한다고 하였다. 여기서 상기 골드 볼(200)을 상기 두 소재 즉, 반도체 칩(100)의 입/출력 패드(110)와 인쇄 회로 기판(300) 상의 범프(320)에 본딩하는 방법은 일반적으로 열압착 본딩, 초음파 본딩, 솔더 본딩 방법을 이용하지만 이러한 방법들은 열, 압력, 초음파를 동시에 제공하는 장비와 더불어 그 본딩시간이 많이 소비됨으로서 번거로운 점이 있다.

따라서 선택적으로 전도성 영역을 갖는 이방성 전도 필름(800)을 이용하여 상기 본딩을 용이하게 한 것이 도 4A에 도시된 것이다.

먼저 상기 이방성 전도 필름(800)의 구조 및 성질에 대해 간단히 설명하면 다음과 같다.

이방성 전도 필름(800)의 구조를 일반적으로 정작필름과 전도용금속알갱이가 혼합된 것으로 상기 정작필름의 두께는 약 50 μ m 정도로 전도용금속알갱이의 지름은 약 5 μ m 정도이다. 또한 상기 전도용금속알갱이의 표면은 양은 폴리머(Polymer)로 코팅되어 있다. 이러한 구성을 하는 이방성 전도 필름(800)의 소정의 영역에 열압력을 가하게 되면 열로 인해 그 부분의 전도용금속알갱이의 폴리머가 녹게되어 전도성을 갖게 되고 그 외의 부분은 확실한 절연성을 유지하는 특성을 가지고 있기 때문에 이러한 이방성 전도 필름(800)은 현재 TAB(Tape Automated Bonding)의 OLB(Outer Lead Bonding)용이나 COG(Chip On Glass)용으로 상업화되어 널리 사용중에 있는 물질이기도 하다.

이와 같은 특성의 이방성 전도 필름(800)을 상기 반도체 칩(100)의 입/출력 패드(110)와 인쇄 회로 기판(300) 간의 본딩 수단에 응용하는 경우, 먼저 인쇄 회로 기판(300)의 범프(320) 영역에 상기 이방성 전도 필름(800)을 접착시키고 다음에 골드 볼(200)이 접착된 반도체칩(100)을 가압함으로써 빠른 시간안에 쉽게 인쇄 회로 기판(300)의 범프(320)에 접착시킬 수 있는 것이다.

도 4B는 상기한 이방성 전도 필름(800)을 응용한 본 발명의 제 4실시예인 볼 그리드 어레이 반도체 패키지를 나타낸 단면도이다. 반도체 칩(100)의 저면에 열 전도성 접착 테이프(600)와 방열판(400) 그리고 열 전도성 접착 테이프(600)를 차례로 접착시킨 구조이며 상기 반도체 칩(100)의 입/출력 패드(110)와 인쇄 회로 기판(300)의 범프(320) 사이에 이방성 전도 필름(800)을 삽입하여 접착시킨 것이 특징이다.

발명의 효과

이상에서와 같이 본 발명에 의한 볼 그리드 어레이 반도체 패키지는, 반도체 칩의 입/출력 패드를 인쇄 회로 기판의 범프에 풀립칩기술을 이용하여 본딩시키고, 반도체 칩의 일면에 열 전도성 접착 테이프나 방열판을 접착시켜 메인 보드에 상기 볼 그리드 어레이 반도체 패키지가 실장되었을 때 반도체 칩의 열이 그 열 전도성 접착 테이프나 방열판을 통해 열용량이 대단히 큰 인쇄 회로 기판으로 직접 방출됨으로써 반도체 칩의 방열 효과를 극대화시킬 수 있는 볼 그리드 어레이 반도체 패키지를 제공하는 것이다.

공개특허 1998-025624

(57) 청구의 범위

청구항 1

일면에 입/출력 패드가 형성되어 각종 전기 신호를 입/출력 하는 반도체 칩과, 상기 입/출력 패드에 전기적으로 접속된 골드 볼과, 상기 골드 볼에 대응하는 면에 범프가 형성되어 용착 수단에 의해 그 골드 볼과 전기적으로 접속되고 상기 범프에 연결되어 방사상으로 뻗은 카파 트레이스를 포함하여 이루어진 인쇄 회로 기판과, 상기 인쇄 회로 기판의 카파 트레이스 끝단에 솔더 브 랜드가 형성되고, 상기 솔더 브 랜드에 전기적으로 용착되어 메인 보드로의 입/출력 단자기능을 하는 솔더 볼과, 상기 골드 볼이 용착된 반도체 칩의 반대면에 메인 보드로 그 반도체 칩에서 발생하는 열을 직접 방출할 수 있도록 접착된 열전도성접착제와, 상기 열전도성접착제 부분을 제외한 반도체 칩과 골드 볼 등을 외부의 환경으로부터 보호하기 위해 봉지한 봉지재를 포함하여 이루어진 것을 특징으로 하는 볼 그리드 어레이 반도체 패키지.

청구항 2

청구항 1에 있어서, 상기 메인 보드로 반도체 칩에서 발생하는 열을 방출할 수 있도록 접착된 열전도성 접착제 상에 방열판과 열전도성접착제를 차례로 더 접착하여 이루어진 것을 특징으로 하는 볼 그리드 어레이 반도체 패키지.

청구항 3

청구항 1 또는 청구항 2중 어느 한 항에 있어서, 상기 인쇄 회로 기판의 범프에 골드 볼을 전기적으로 접속하는 용착 수단은 이방성 전도 필름인 것을 특징으로 하는 볼 그리드 어레이 반도체 패키지.

청구항 4

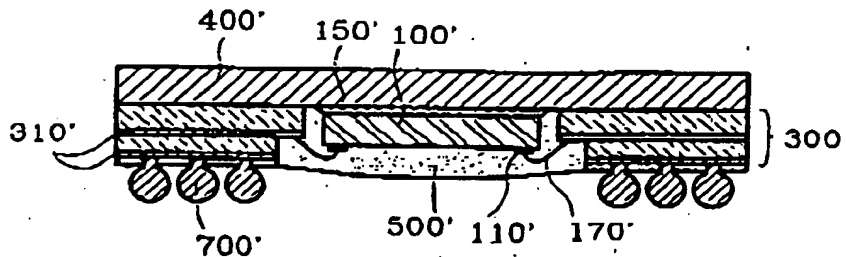
청구항 1에 있어서, 상기 열전도성접착제는 솔더볼과는 접촉하지 않은 정도이고, 반도체 칩 보다는 충분히 크게 형성된 것을 특징으로 하는 볼 그리드 어레이 반도체 패키지.

청구항 5

청구항 2에 있어서, 상기 반도체 칩에 순차적으로 접착된 열전도성접착제, 방열판, 열전도성접착제는 솔더볼과는 접촉하지 않은 정도이고, 반도체 칩 보다는 충분히 크게 형성된 것을 특징으로 하는 볼 그리드 어레이 반도체 패키지.

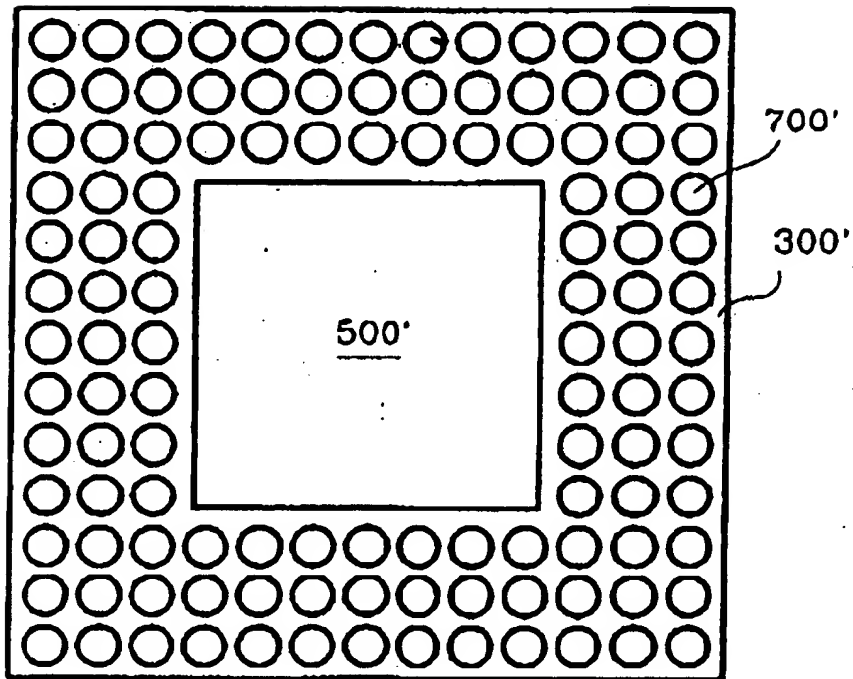
도면

도면 1a

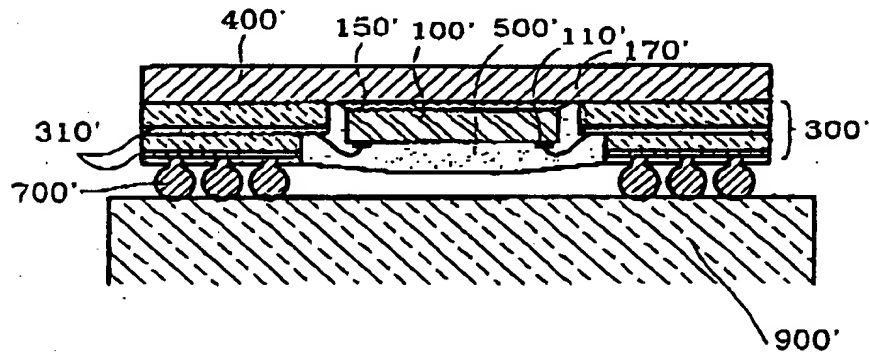


공개특허특 1998-025624

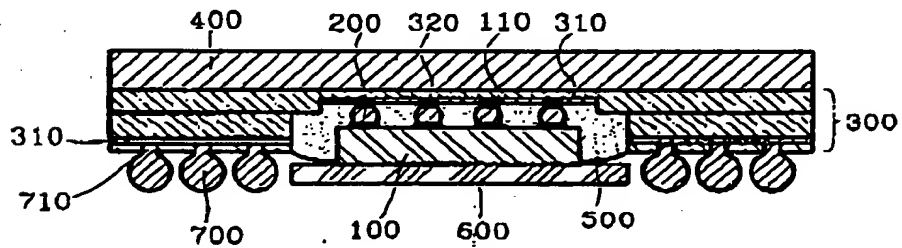
도면 1b



도면 1c

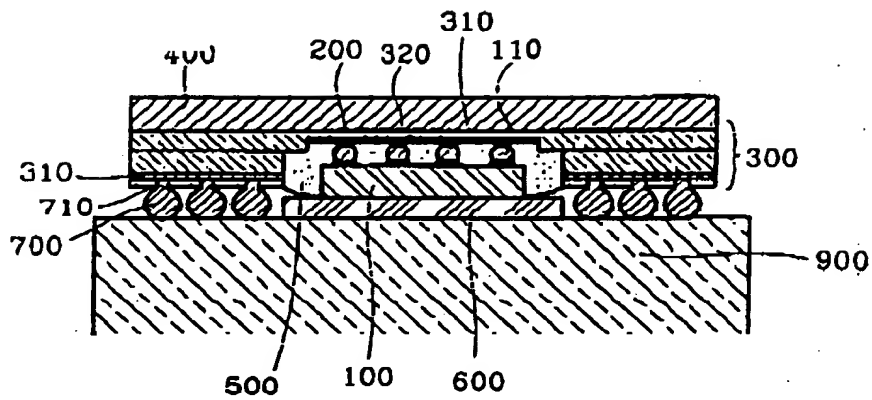


도면 2a

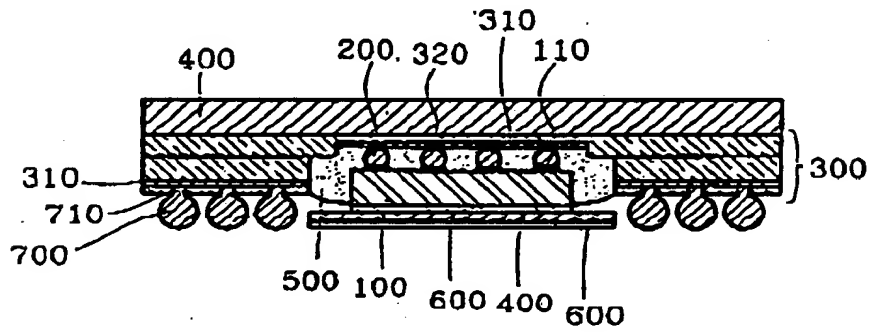


공개특허 1998-025624

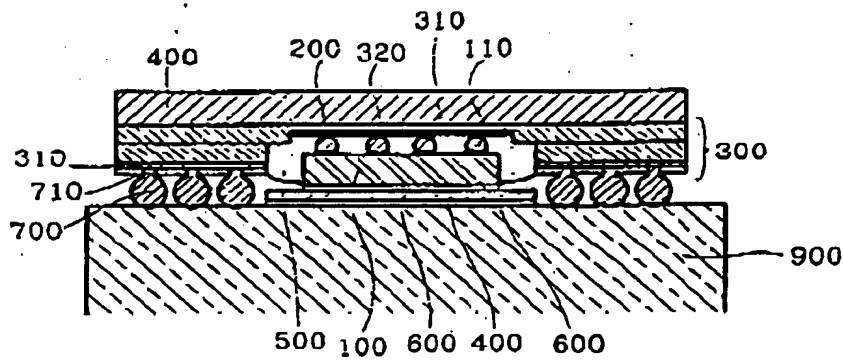
도면2b



도면3a

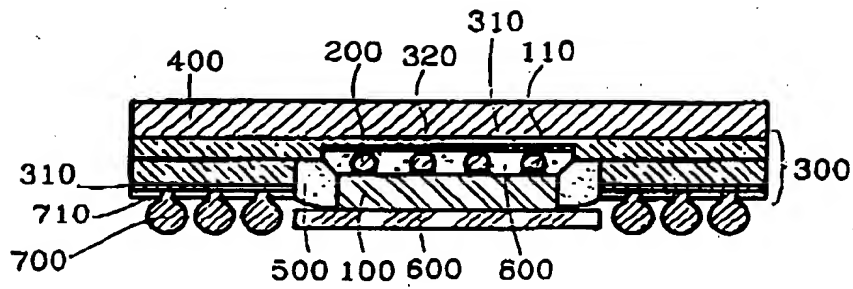


도면3b



공개특허 1998-025624

도면4a



도면4b

